

High-speed semiconductor device

Patent Number: US4233672
Publication date: 1980-11-11
Inventor(s): SUZUKI YASOJI; OCHII KIYOFUMI; ASAHI HIROZI
Applicant(s):: TOKYO SHIBAURA ELECTRIC CO
Requested Patent: JP54072691
Application Number: US19780962222 19781120
Priority Number(s): JP19770139586 19771121
IPC Classification: G11C7/00
EC Classification: G11C11/412, H01L27/02B3B2, H01L27/092P
Equivalents: DE2850305, JP1369031C, JP61024830B

Abstract

A CMOS semiconductor memory device in which a memory cell array and peripheral circuits are formed on the same semiconductor substrate. Wells of the peripheral circuits with MOS transistors of one channel type formed therein are supplied with a PN junction reverse bias potential higher than that for wells of the memory cell array during the memory operation, while the potential at the peripheral circuit wells is made equal to the potential at the wells of the memory cell array when the memory is not operating. High-speed operation of the memory device may be achieved because the junction capacitance of the MOS transistors formed in the peripheral circuit wells is reduced when the memory is operating.

Data supplied from the esp@cenet database - I2

⑫公開特許公報(A)

昭54-72691

⑪Int. Cl.²
H 01 L 27/10
G 11 C 11/40
H 01 L 29/78

識別記号 ⑬日本分類
99(5) H 0
99(5) E 3
97(7) C 13

庁内整理番号 ⑭公開 昭和54年(1979)6月11日
7210-5F
7010-5B 発明の数 2
6603-5F 審査請求 有

(全 4 頁)

⑭半導体装置

⑮特 願 昭52-139586
⑯出 願 昭52(1977)11月21日
⑰発 明 者 鈴木八十二
川崎市幸区小向東芝町1番地
東京芝浦電気株式会社トランジ
スタ工場内
同 落井清文
川崎市幸区小向東芝町1番地

東京芝浦電気株式会社トランジ
スタ工場内
⑱発 明 者 朝日広治
川崎市幸区小向東芝町1番地
東京芝浦電気株式会社トランジ
スタ工場内
⑲出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
⑳代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

- (1) 第1の電源電圧が印加される第1導電型の半導体基体と、この基体に形成され第2の電源電圧が印加される第2導電型の第1のウェル領域と、前記基体に前記ウェル領域とは離間して形成され第3の電源電圧が印加される第2導電型の第2のウェル領域とを具備し、前記第3の電源電圧は第2のウェル領域に形成される接合容量が第1のウェル領域に形成される接合容量より小となる電圧であることを特徴とする半導体装置。
- (2) 第1の電源電圧が印加される第1導電型の半導体基体と、この基体に形成され第2の電源電圧が印加される第2導電型の第1のウェル領域と、前記基体に前記ウェル領域とは離間して形成され第3の電源電圧が印加される第2導電型の第2のウェル領域と、この領域

に時間を選択して前記第3の電源電圧を印加させる手段とを具備し、前記第3の電源電圧は第2のウェル領域に形成される接合容量が第1のウェル領域に形成される接合容量より小となる電圧であることを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は半導体メモリのデータ読み出し時間を短縮化する場合に適した半導体装置に関するものである。

近年、MOS型半導体を用いた大容量メモリの発展がめざましく、高密度集積化と共に、動作の高速化が大きなテーマとなっている。MOS型メモリの高速化とは、データ読み出し時間tACCを短縮化することであるが、もともと電圧制御素子であるMOSトランジスタを用いたメモリでは、各部回路のあらゆる部分に付随する容量(キャパシタンス)を充、放電するための伝播遅延時間の総和でtACCが決まるため、浮遊容量をいかに減少させるかが、高速化のた

めの一つのアプローチの手法となる。

一般に浮遊容量とは、MOS集積回路の場合、大別してゲート容量と拡散容量とに分けられる。このうち拡散容量は、PN接合にかかる逆方向電圧の平方根に逆比例することは周知の通りであり、かかる逆方向電圧を大きくすれば接合容量は小さくなる。そのためには、MOS集積回路基板に加える逆方向電圧を高くすればよいが、これで問題が解決されるわけではない。即ち相補MOS型メモリの場合、メモリセルは動作停止時に記憶情報をスタティックに保持させる必要があり、かつ消費電流を洩れ電流のみに抑えなければならぬので、基板に高い逆方向電圧を加えてMOSトランジスタのスレッシユホールド電圧 V_{th} を変動させてしまうことは許されない。

本発明は上記事情に鑑みてなされたもので、相補MOS型集積回路基板には必然的に形成されるウェル領域を分割し、該領域に、高い逆方向電圧を加えることが許されるものとそうでな



電圧 V_{sub} を印加するものである。なお第1図において4はP型拡散層、5はN型拡散層、6はフィールド酸化膜、7はゲート酸化膜、8は電極配線層である。

このような構成にすると、ウェル領域2のメモリセルは情報記憶が良好に行なえるし、またウェル領域3にはセルアレイの周辺回路例えばアドレスデコーダ回路、メモリ出力側の電圧センス回路、バッファ回路等のような読み出し時間 t_{ACC} の律速部分(ここで t_{ACC} が大きく律せられる)を配置することにより、この部分の接合容量が小となるから、高速動作が可能となる。またP型ウェル領域はN型基板1と比べて不純物濃度が10倍以上である。従つてP型ウェル領域内での接合容量はN型基板1内での接合容量より数倍大となるから、N型基板よりもP型ウェル領域での接合容量を減少させたほうが、 t_{ACC} 時間の改善効果は大となるものである。

第2図は上記第1図の考え方を相補MOS型

いものを選択して配置することにより、高速動作を可能ならしめ、また上記高い逆方向電圧印加を必要時のみ行なうことにより、消費電力の低減化を可能ならしめた半導体装置を提供しようとするものである。

以下図面を参照して本発明の一実施例を説明する。図中1は相補MOS型メモリを構成するN型基板で、この基板1にPチャネル型MOSトランジスタ Tr_p が多数形成される。また基板1に相離隔するP-well(P型ウェル)領域2, 3を形成する。この領域2, 3にはそれぞれ多数のNチャネル型MOSトランジスタ TrN_1, TrN_2 が形成されるが、領域2には該領域に高い逆方向電圧が加えられないメモリセルの如きMOS素子を形成し、領域3には該領域に高い逆方向電圧を加えたいMOS素子を形成する。そして基板1には本相補MOSメモリ回路で用いる一方の電源電圧 V_{DD} を印加し、ウェル領域2には他方の電源電圧 V_{SS} を印加し、ウェル領域3には V_{SS} より負方向に高い電流



メモリのデコーダ回路に適用した場合の例である。出力端0と接地(V_{SS} に相当)間に直列接続したPチャネル型MOSトランジスタ I_1, I_1 、の基板電位は第1図の電圧 V_{sub} である。出力端0と V_{DD} 電位供給端間に並列接続されたNチャネル型MOSトランジスタ I_2, I_2 は基板1に形成されるため、基板電位は電圧 V_{DD} である。このようにするとトランジスタ I_1, I_1 の基板とソース、ドレインとの間の接合容量が、逆方向に高い電圧 V_{sub} の作用で小となり、 t_{ACC} の短縮化に寄与し得るものである。なお第2図においてA₁はアドレス信号、CEはチップイネーブル信号を示している。

第3図、第4図は前記電圧 V_{sub} を得るための回路で、第3図は矩形波を発生する非安定マルチバイブレータ回路である。この回路はチップイネーブル信号CEが高レベルである時、矩形波を発生してこれを出力端0₁から第4図の基板バイアス発生回路の入力端 I_1 に供給し、

1

CEが低レベルである時、上記矩形波発振を停止する。第4図の回路では、インバータ21の入力端に供給される矩形波パルスの立上り毎に、出力端O₂側の正電荷をダイオード22を介してコンデンサ23側へ引込み、矩形波パルスの立下り毎に正電荷をダイオード24を介して放電させる。この動作を繰返すと、出力端O₂側には正電荷がなくなり、出力端O₂にはVSS（接地）電位より更に低い電源電圧Vsubが得られるから、これを第2図の基板電圧Vsubとして用いるものである。この電圧Vsubの供給は、第3図のチップイネーブル信号で制御され、該信号CEが低レベル側にある時は矩形波発振が止まるから、必要時のみ供給されることになる。これにより動作不要時には第3図の発振回路等は動作を停止し、従つて低消費電力化が可能となるものである。

第5図は本発明を相補MOS型メモリの電圧センス回路に適用した場合の実施例である。この回路は、チップイネーブル信号CEによりト

2

を基板バイアスとするNチャネルトランジスタ37₁、37₂により高速の書き込みが行なわれることにより、tACCの短縮化が可能となる。またこの回路は、トランジスタ33₁、33₂がPチャネル型であることにより、タイミング信号φ₁、φ₂と同様にφ₃もVDD、接地間電圧差検出できるという利点が具備されるものである。

第6図は本発明を相補MOS型メモリセルに適用した場合の実施例である。即ち前記の説明ではメモリセルを構成するトランジスタに逆方向電圧Vsubを用いるのは許されないとしたが、これはセル本体11についてであり、セル出力を伝達するトランスファ素子としてのNチャネル型MOSトランジスタ42₁、42₂については、これによるリーク電流を許容できれば、該トランジスタの基板電極にVsubを印加してもよいことを示したものである。これによつてもtACC短縮の一助となる。

第7図は基板バイアス回路の応用例を示す。

3

特開昭54-72691(B)

ランジスタ31₁、31₂をオン（導通）させ、セルアレイのデータ出力線BUS、BUSを“1”レベル（VDDレベル）にプリチャージする。なお32₁、32₂は高抵抗である。そしてタイミング信号φ₃をゲート入力とするトランジスタ33₁、33₂でa₁点、a₂点の寄生容量に出力線BUS、BUSの電圧を供給し、これらの電圧のいずれかがセルアレイのデータ読出しで変化したら、トランジスタ34をタイミング信号φ₂でオンさせ、フリップフロップ35をトランジスタ36₁、36₂の作用でいずれか一方に反転させることにより電圧センスを行なう。その後タイミング信号φ₁をゲート入力とするトランジスタ37₁、37₂で、フリップフロップ35の出力をメモリセルに送出し、データの書き込みを行なう。このような回路にあつても、NチャネルMOSトランジスタ34、36₁、36₂の基板バイアスとして、前述のVsubが供給されているので、フリップフロップ35が高速動作を行ない、またVsub

4

この回路は入力端I₁に第3図のO₂から発振出力を受け、チップイネーブル信号CEが高レベルにある時電圧Vsubを出力し、CEが低レベルにある時電圧VSSを出力する回路である。

なお本発明は上記実施例に限られず、例えば第1図のN型基板をP型基板とする場合にも適用できる。この場合ウエル領域はN型となるから、これに伴ない基板電極の電圧Vsubを印加するトランジスタはNチャネル型トランジスタとなる。

以上説明した如く本発明によれば、回路動作に問題を生じることなく接合容量を減少化でき、しかもこの接合容量の減少化は不純物濃度の高いウエル領域で行なわれるから、データ読出し時間tACCを大巾に短縮でき、また上記接合容量を減少させるための逆方向電圧は時間を選択して与えるので、回路消費電力を削減し得る半導体装置が提供できるものである。

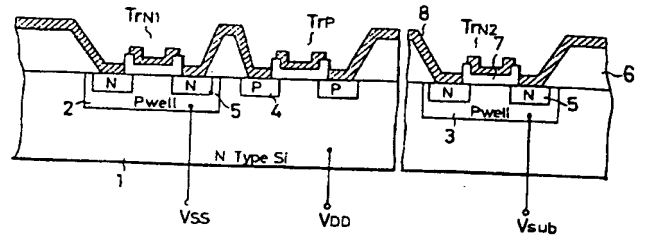
4. 図面の簡単な説明

第1図は本発明の一実施例を示す装置断面図、

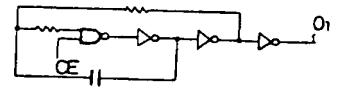
第2図は同装置の具体例を示す回路図、第3図、
第4図は同回路の V_{sub} を得るための回路図、
第5図ないし第7図は本発明の応用例の回路図
である。

1...N型基板 2, 3...P型ウェル領域
 V_{DD} , V_{SS} , V_{sub} ...電源電圧
C E...チップイネーブル信号

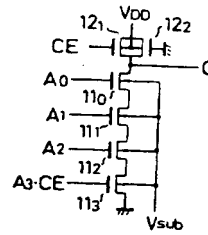
オ 1 図



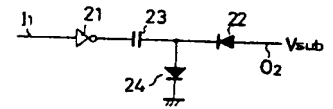
オ 3 図



オ 2 図

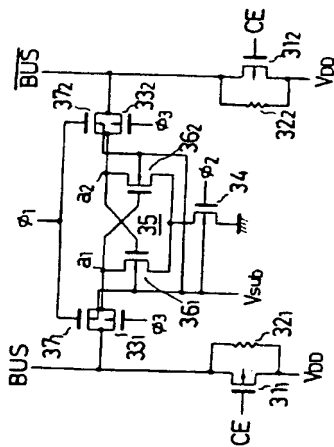


オ 4 図

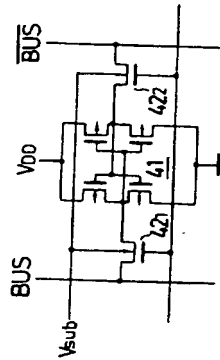


出願人代理人 弁理士 鈴 江 武 彦

オ 5 図



オ 6 図



オ 7 図

